

**(12) NACH DEM VERTRÄG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG**

(19) Weltorganisation für geistiges Eigentum Internationales Büro



**(43) Internationales Veröffentlichungsdatum
22. November 2001 (22.11.2001)**

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/88711 A1

(51) Internationale Patentklassifikation⁷: G06F 11/20, 100 35 174.3 19. Juli 2000 (19.07.2000) DE
11/16, G05B 19/042

(21) Internationales Aktenzeichen: PCT/DE01/01885 **US): SIEMENS AKTIENGESELLSCHAFT [DE/DE];**
Wittelsbacherplatz 2, 80333 München (DE).

(22) Internationales Anmeldedatum:
17. Mai 2001 (17.05.2001)

(73) Erfinden und

(25) Einreichungssprache: Deutsch

(72) Erfinder: und

(75) **Erfinder/Anmelder (nur für US): VÄTH, Joachim [DE/DE]; Warthestr.6B, 90571 Schwaig (DE).**

(25) Einreichungssprache: Deutsch

(72) 1

(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, 80506 München (DE)

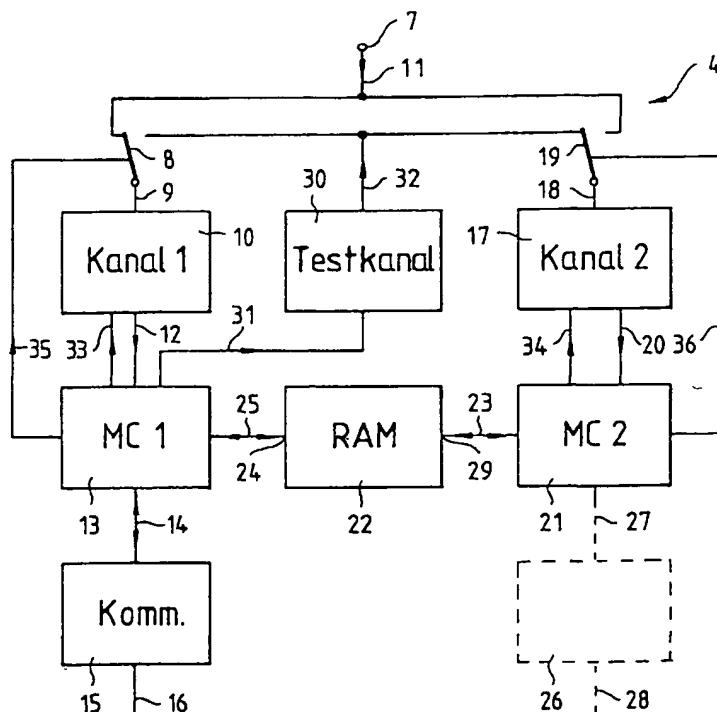
(30) Angaben zur Priorität: 100 24 479.3 18. Mai 2000 (18.05.2000) DE

(81) Bestimmungsstaaten (*national*): JP, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: PERIPHERAL COMPONENT WITH HIGH ERROR PROTECTION FOR STORED PROGRAMMABLE CONTROLS

(54) Bezeichnung: PERIPHERIEBAUSTEIN MIT HOHER FEHLERSICHERHEIT FÜR SPEICHERPROGRAMMIERBARE STEUERUNGEN



10...CHANNEL 1

30... TEST CHANNEL

17...CHANNEL 2

15...COMMUNICATION COMPONENT

(57) Abstract: The invention relates to a peripheral component with high error protection for stored programmable controls. The invention relates particularly to an analog-input circuit with at least two channels substantially identical in design, for parallel signal input and/or output, which are parallel connected and/or parallel connectable in the region of the peripheral interface. Said analog-input circuit also comprises at least one data processing component (μ P or μ C) for testing the channels without any disruption of the data flows.

(57) Zusammenfassung: Die Erfindung richtet sich auf einen Peripheriebaustein von hoher Fehlersicherheit für speicherprogrammierbare Steuerungen, insbesondere Analogeingabe-Schaltung, mit wenigstens zwei weitgehend identisch aufgebauten Kanälen zur parallelen Signalein- und/oder -ausgabe, die im Bereich der Peripherieschnittstelle parallelgeschalten und/oder parallelorschaltbar sind, und mit wenigstens einer Datenverarbeitungs-Baugruppe (μP oder μC) zum Testen der Kanäle ohne Unterbrechung des Datenflusses.



(84) **Bestimmungsstaaten (regional):** europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- *mit internationalem Recherchenbericht*
- *vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen*

Beschreibung

Peripheriebaustein mit hoher Fehlersicherheit für speicherprogrammierbare Steuerungen

5

Die Erfindung richtet sich auf einen Peripheriebaustein mit hoher Fehlersicherheit für speicherprogrammierbare Steuerungen, insbesondere eine Analogeingabe-Schaltung.

10 Wenn in ständig steigendem Umfang industrielle und sonstige, technisch komplizierte Anlage durch Einsatz speicherprogrammierbarer Steuerungen automatisiert werden, so stand hierbei ursprünglich wohl der Gedanke der Übertragung einfacher Tätigkeiten Pate wie bspw. die Aktivierung verschiedener Bearbeitungsschritte eines seriellen Bearbeitungsprozesses, sowie einfache Regelungen, z. B. Füllstandsregelungen oder Temperaturregelungen. Durch den Aufbau von Regelkreisen war eine Rückkoppelung von Prozesssignalen erfolgt, und diese Tendenz führte schließlich zur Übertragung weitreichender Überwachungsaufgaben auf speicherprogrammierbare Steuerungen. Hierbei stellt sich jedoch heraus, dass bei der Delegierung derartiger Aufgaben von einer Überwachungsperson auf einen Automaten eine für Überwachungsaufgaben wichtige, menschliche Eigenschaft von größter Bedeutung ist, nämlich die Verantwortung, bei dem Betrieb einer Anlage das Auftreten von Unfällen und sonstigen Schäden möglichst zu vermeiden sowie eine höchstmögliche Sicherheit für Menschen, Maschinen und Umwelt zu gewährleisten. Die regelmäßig wiederkehrenden Berichte über das Entweichen von Giftgasen aus Anlagen der chemischen Industrie sowie die unzähligen Gefahren, welche als Folge des Einsatzes großer Energiemengen in den vielfältigsten Anlagen der Rohstoffindustrie, Energieerzeugung, Fördertechnik, Umformtechnik und der automatisierten Fertigung lauern, müssen hierbei als Ansporn dafür gesehen werden, die Anlagensicherheit weiter zu erhöhen.

Hierbei kann eine Fehlfunktion einzelner Anlagenteile wohl niemals ausgeschlossen werden, und es muss deshalb die Aufgabe einer automatischen Steuerung sein, derartige Fehlfunktionen zu erkennen und schnellstmöglich Gegenmaßnahmen einzuleiten bzw. die Anlage stillzusetzen oder einen Alarm auszulösen. Diese Aufgabe kann sie jedoch nur erfüllen, wenn sicher gestellt ist, dass sie auch und gerade beim Auftreten von Fehlfunktionen in der Anlage selbst einwandfrei funktioniert. Obwohl der millionenfache Einsatz von Mikroelektronik in Armbanduhren, Haushaltsgeräten, Flug- und Fahrzeugen erkennen lässt, dass die größte Gefahr beim Betrieb eines elektronischen Schaltkreises wohl der Ausfall der Versorgungsspannung ist, insbesondere das Nachlassen einer Batteriespannung, so darf doch nicht außer acht gelassen werden, dass in industriellen Anlagen ein rauer Betrieb herrscht und nur selten eine von Dämpfen, Gasen und sonstigen Chemikalien völlig reine Atmosphäre vorausgesetzt werden kann. Daher sollten gerade bei kritischen Prozessen, bei welchen eine Fehlfunktion möglichst nicht auftreten sollte, zusätzliche Maßnahmen getroffen werden, um die Funktionssicherheit der Steuereinrichtung weiter zu erhöhen.

Bei der Behandlung dieses Problems sollte man sich den Aufbau einer speicherprogrammierbaren Steuerung vergegenwärtigen: Um eine optimale Anpassung an die unterschiedlichsten Anwendungsfälle zu ermöglichen, hat sich hierbei in der Praxis ein modularer Aufbau durchgesetzt, wobei der Kern der speicherprogrammierbaren Steuerung durch eine Zentraleinheit gebildet wird, in der ein für den betreffenden Anwendungsfall spezifisches Programm abgearbeitet wird. Die Schnittstellen zu den einzelnen Aktuatoren des betreffenden Prozesses wie auch aus gegliederte Unterfunktionen wie bspw. Regelungen sind dagegen in davon getrennten Modulen enthalten, welche üblicherweise allesamt an eine Kommunikationsleitung bspw. in Form eines seriellen Busses angekoppelt sind, damit ein Informationsaustausch zwischen den verschiedenen Komponenten möglich ist. Solchenfalls kann ein Fehler theoretisch in allen Komponenten

auftreten, d. h. sowohl in der Zentraleinheit wie auch in den angeschlossenen Komponenten, und auch auf der diese miteinander verbindenden Kommunikationsleitung.

5 Während die ersten beiden Fehlerquellen bei kritischen Prozessen durch eine Erhöhung der Verfügbarkeit bspw. durch Einsatz einer zweiten, parallel geschalteten Zentraleinheit und/oder eines zweiten, parallel betriebenen Kommunikationsbusses, ausgeschaltet oder auf ein äußerst minimales Restrisiko reduziert werden können, so wäre eine Verdoppelung aller sonstigen Komponenten in den meisten Anwendungsfällen mit einem erheblichen Zusatzaufwand verbunden und würde darüber hinaus aufgrund der enormen Vergrößerung der Komplexität eher sogar die Gefahr von zusätzlichen Fehlerquellen infolge von 10 Verdrahtungs- oder Einstellungsfehlern mit sich bringen. Außerdem würde solchenfalls der Informationsaustausch über die betreffende Kommunikationsleitung mindestens verdoppelt, was eine weitere Leistungssteigerung der Steuerung erforderlich machte. Dabei ist zu bedenken, dass andererseits gerade den 15 Peripheriebausteinen als Schnittstelle zwischen dem Prozess und der Steuerung eine erhöhte Bedeutung beizumessen ist, da beim Ausfall einer derartigen Komponente möglicherweise entscheidungswichtige Signale verloren gehen oder die Einflussnahme der Steuerung auf den Prozess eingeschränkt oder gar 20 unterbrochen wird.

Aus den Nachteilen des beschriebenen Stands der Technik resultiert das die Erfindung initiiierende Problem, einen Peripheriebaustein für speicherprogrammierbaren Steuerungen zu 25 schaffen, der bereits für sich genommen eine erhöhte Fehlersicherheit aufweist, so dass eine hohe Fehleraufdeckung auch ohne die Verwendung einer redundanten Komponente erreicht werden kann.

35 Die Lösung dieses Problems gelingt mittels wenigstens zweier weitgehend identisch aufgebauter Kanäle zur parallelen Signalein- und/oder -ausgabe, die im Bereich der Peripherie-

schnittstelle parallelgeschalten und/oder parallelschaltbar sind, und durch wenigstens eine Datenverarbeitungs-Baugruppe (μ P oder μ C) zum Testen der Kanäle ohne Unterbrechung des Datenflusses.

5

Der von der Erfindung beschrittene Weg zeichnet sich durch eine Mehrzahl von Maßnahmen aus: Einerseits wird bereits innerhalb des erfindungsgemäßen Peripheriebausteins ein zweiter Kanal vorgesehen, so dass bereits intern eine Redundanz geschaffen wird. Darüber hinaus ist eine Datenverarbeitungs-Baugruppe vorgesehen, welche parallel zu dem üblichen Datenfluss permanent oder zumindest in kurzen Zeitabständen einen Test eines oder beider Kanäle durchführt, wodurch sowohl die Kommunikationsleitung zu der Zentraleinheit wie auch letztere von dieser Aufgabe entlastet wird. Sobald andererseits eine Fehlfunktion eines oder beider Kanäle erkannt worden ist, so kann die den Test durchführende Datenverarbeitungs-Baugruppe dies unverzüglich der Zentraleinheit melden, damit solchenfalls unverzüglich eine Gegenmaßnahme eingeleitet werden kann, bevor in der Anlage selbst eine Fehlfunktion auftreten kann. Dadurch ist sichergestellt, dass bei Eintritt eines Fehlerfalls in der Anlage stets zumindest ein Kanal der erfindungsgemäßen Peripheriebaugruppe intakt ist, so dass ein Informationsaustausch zwischen Anlage und Steuerung gewährleistet ist.

Die Erfindung zeichnet sich weiterhin aus durch eine zweite Datenverarbeitungs-Baugruppe (μ P oder μ C) zum Aufbereiten der zu übertragenden Daten während einer Testphase. Einerseits wird durch diese zweite Datenverarbeitungs-Baugruppe bei Ausfall der ersten Datenverarbeitungs-Baugruppe eine Redundanz geschaffen, andererseits kann solchenfalls eine Datenaufbereitung auch in dem den Datenfluss übernehmenden Kanal vorgenommen werden, wobei bspw. bei Ausfall eines zu erwartenden Eingangssignals eine Fehlermeldung ausgelöst werden kann, außerdem kann das Datenformat in eine für die Kommunikation mit der Zentralbaugruppe oder für die Kommunikation mit den

Test durchführenden Datenverarbeitungs-Baugruppe umgesetzt werden.

Es hat sich als günstig erwiesen, dass jede der beiden Datenverarbeitungs-Baugruppen je einem Kanal zugeordnet ist und derart ausgebildet ist, dass sie sowohl die Signalaufbereitung wie auch den Test dieses Kanals übernehmen kann. Die feste Zuordnung der beiden Datenverarbeitungs-Baugruppen zu je einem Kanal bringt eine schaltungsmäßige Vereinfachung mit sich, indem zwischen der betreffenden Kanalbaugruppe und der zugeordneten Datenverarbeitungs-Baugruppe kein weiteres Schaltelement vorgesehen werden muss, welches somit als Fehlerquelle ausscheidet.

Es liegt im Rahmen der Erfindung, dass die beiden Datenverarbeitungs-Baugruppen zwecks Informationsaustausch miteinander gekoppelt sind. Diese Koppelung ist einerseits für eine Koordination des Betriebs der beiden Kanalbaugruppen wichtig, damit stets mindestens auf einem Kanal ein ordnungsgemäßer Datenfluss erfolgt, andererseits können bspw. Testergebnisse ausgetauscht werden, so dass jede der beiden Datenverarbeitungs-Baugruppen immer über den Zustand beider Kanäle informiert ist und nicht nur ihren eigenen Betrieb danach ausrichten kann, sondern auf Anfrage einer Zentraleinheit auch sofort die gewünschten Auskünfte erteilen kann.

Die Erfindung lässt sich dahingehend weiterbilden, dass die beiden Datenverarbeitungs-Baugruppen über bausteininterne Verbindungen miteinander gekoppelt sind. Diese Maßnahme reduziert den Signalverkehr auf der Verbindungsleitung zwischen den einzelnen Komponenten der speicherprogrammierbaren Steuerung.

Weitere Vorteile lassen sich dadurch erzielen, dass die beiden Datenverarbeitungs-Baugruppen über einen Speicher gekoppelt sind, auf den sie beide Zugriff haben. In diesem gemeinsamen Speicher können die Datenverarbeitungs-Baugruppen die

für die jeweils andere Baugruppe bestimmten Informationen hinterlegen, von wo sie sodann zu gegebenem Zeitpunkt, d. h. bei Bedarf, abgeholt werden können. Hierdurch werden unnötige Wartezeiten einer Datenverarbeitungs-Baugruppe vermieden.

5

In Ausgestaltung des Erfindungsgedankens kann vorgesehen sein, dass die beiden Datenverarbeitungs-Baugruppen an unterschiedlichen Ein-/Ausgängen des Speichers angeschlossen sind (Dual-Port-RAM). Solchenfalls ist die Kommunikation jeder der 10 beiden Datenverarbeitungs-Baugruppen mit dem gemeinsamen Speicher völlig unabhängig von dem Betrieb der jeweils anderen Baugruppe und insbesondere von deren Taktung. Somit lassen sich für jeden der beiden Datenverarbeitungs-Baugruppen weitgehend autarke Systeme schaffen, wodurch der reibungslose 15 Betrieb zumindest eines Signals auch dann gewährleistet werden kann, wenn in der anderen Kanalbaugruppe und/oder der diese bedienenden Datenverarbeitungs-Baugruppe ein Fehler eingetreten ist.

20

Die Leistungsfähigkeit der erfindungsgemäßen Anordnung lässt sich erhöhen, indem bei einem Zweikanal-Eingabe-Baustein ein zusätzlicher Ausgabekanal, bei einem Zweikanal-Ausgabe-Baustein ein zusätzlicher Einlesekanal vorgesehen ist, der mit jedem der beiden übrigen Kanäle koppelbar ist, um eine 25 Schleife über jeweils einen der beiden parallelen Kanäle zu bilden, so dass die ordnungsgemäße Verarbeitung eines Testsignals überprüfbar ist. Während ohne eine derartige Anordnung allenfalls ein Test durch Vergleich der von beiden Kanalbaugruppen ausgegebenen Signale möglich ist, so kann durch 30 einen hierzu komplementären Testkanal eine Schleife über jeweils eine der beiden Kanalbaugruppen geschlossen werden, und somit ist ein echter Test auf die absolute Genauigkeit der gesamten Komponenten dieser Schleife durch Vergleich des Eingangssignals dieser Schleife mit deren Ausgangssignal möglich. 35 Sobald demnach ein Fehler auftritt, bei welchem eine Kanalbaugruppe nicht mehr ordnungsgemäß funktioniert, so kann mit einem derartigen Testaufbau eindeutig festgestellt wer-

den, welche von beiden Kanalbaugruppen den Defekt aufweist, und sodann kann der Datenfluss über die noch intakte Kanalbaugruppe geleitet werden, bis die fehlerhafte Kanalbaugruppe ausgetauscht oder repariert worden ist. Mit der erfindungsge-
5 mäßen Anordnung wird daher nicht nur ein Fehler sensiert, sondern dieser kann auch eindeutig lokalisiert werden, und solange noch eine einzige Kanalbaugruppe funktioniert, so kann der erfindungsgemäße Peripheriebaustein seine Aufgabe erfüllen.

10

Zur Vereinfachung des konstruktiven Aufwandes kann die Ansteuerung des Testkanals einer der beiden Datenverarbeitungs-Baugruppen übertragen sein. Zwar wäre es zur weiteren Erhöhung der Redundanz denkbar, die Steuerung der Testkanalbau-
15 gruppe beiden Datenverarbeitungs-Baugruppen zu erschließen. Dies erweist sich jedoch nicht als notwendig, da beim Ausfall einer Kanalbaugruppe ohnehin kein Test mehr durchgeführt werden kann, weil solchenfalls der normale Datenfluss unterbrochen werden müsste. Aus diesem Grund kann die Ansteuerung der
20 Testkanalbaugruppe fest einer von beiden Datenverarbeitungs-Baugruppen zugewiesen sein, so dass ein zusätzlicher Schalter sowie auch zwischengeschaltete ODER-Gatter od. dgl. entbehrlich sind und die Ausfallwahrscheinlichkeit weiter reduziert wird.

25

Überflüssige Fehlerquellen lassen sich vermeiden, indem die beiden Kanäle auf der selben Platine angeordnet sind. Diese Konstruktionsvorschrift folgt der Erkenntnis, dass jeder Steckverbinder, und insbesondere auch jede Kabelverbindung
30 eine höhere Ausfallwahrscheinlichkeit hat als eine Leiterbahn auf einer Platine, wo allenfalls eine schlechte Lötverbindung zu einem Defekt führen könnte.

Dem selben Zweck dient eine Weiterbildung dahingehend, dass
35 wenigstens ein Datenverarbeitungs-Baustein zusammen mit den beiden Kanälen auf der selben Platine angeordnet ist. Auch diese Maßnahme reduziert die Anzahl der Steck- und Lötverbin-

dungen und erhöht somit die Betriebssicherheit des erfindungsgemäßen Peripheriebausteins.

Damit eingestreute Störspannungen von der Auswerteelektronik
5 ferngehalten werden, sind in beiden Kanälen, vorzugsweise
auch in einem Testkanal, Potentialtrennungen vorgesehen. Die-
sen Potentialtrennungen obliegt es, den reinen Informations-
wert eines Signals von dessen tatsächlichen Spannungspotenti-
al vollständig abzutrennen, so dass gefährliche Störspannun-
10 gen, welche von dem Prozess herrühren oder auf den betreffenden
Zuleitungen eingestreut werden können, der empfindlichen
Mikroelektronik nichts anhaben können. Dies kann am effek-
tivsten durch Opto-Koppler realisiert werden, welche die Po-
tentialfreiheit bei der Lichtübertragung nutzt.

15

Der konstruktive Aufwand lässt sich weiter reduzieren, wenn
eine Signalumsetzung zwischen analogen Strom- oder Spannungs-
pegeln einerseits und einem alternierenden Signal (Impulsfol-
ge) mit einer zu dem Analogsignal proportionalen Frequenz an-
20 dererseits erfolgt. Während die Datenverarbeitungs-Baugruppen
schließlich eine Reihenfolge binärer Zahlendarstellungen der
betroffenden Amplitude des Analogsignals verwenden, bietet
die Zwischenschaltung eines alternierenden Signals mit verän-
derbarer Frequenz den Vorteil, dass die vollständige Infor-
25 mation über den Amplitudenwert auf einer einzigen Signalleitung
übertragen werden kann, wobei andererseits eine wenig störan-
fällige Analogschaltung Verwendung finden kann.

30

Solchenfalls ist es möglich, die Potentialtrennung bei dem
alternierenden Signal vorzunehmen, bspw. über Optokoppler. Da
in diesem alternierenden Signal der volle Informationsgehalt
über die zu übertragende Signalamplitude enthalten ist, bie-
tet es sich für die Potentialtrennung bevorzugt an. Einer-
35 seits wird dadurch ein erhöhter Aufwand für die Potential-
trennung eingespart, wie dies bspw. bei einem binären Signal
der Fall wäre, andererseits kann die Potentialtrennung bei
einem zwischen zwei Spannungsbereichen alternierenden Signal,

dessen exakte Amplitude keine Information trägt, weitaus einfacher gestaltet werden als bei einem reinen Analogsignal, wo die Information der betreffenden Spannungsamplitude entspricht.

5

Zur Entschlüsselung des alternierenden Signals kann dieses einem Zählerbaustein zugeführt sein, der durch Zählen der Impulse innerhalb eines festen Zeitintervalls einen zu der Frequenz des alternierenden Signals proportionalen Digitalwert erzeugt. Hierbei handelt es sich um einen höchst einfachen Aufbau, wobei ausschließlich nach Ablauf eines fest vorgegebenen Zeitintervalls der Zählerstand abgefragt und sodann der Zähler wieder auf null zurückgesetzt werden muss. Die Auflösung, welche mit dieser Signalumsetzung erreicht werden kann, hängt ab von dem Zählintervall einerseits und der Frequenz des alternierenden Signals andererseits. Um im Rahmen dieses Verfahrens auch Spannungen der Amplitude null oder gar negative Spannungen mit einer ausreichenden Auflösung übertragen zu können, sollte das relevante Spannungsintervall auf einen Frequenzbereich transformiert werden, der sich von einer der minimalen Spannungsamplitude entsprechenden Mindestfrequenz nach oben erstreckt.

Bei umgekehrter Signalrichtung sollte das alternierende Signal einem Baustein mit einem sequentiellen Ausgang entnommen werden, bspw. einem Schieberegister, welches in einem vorgegebenen Zeitintervall eine vorgebbare Anzahl von Ausgangsbits abgibt. Die Möglichkeiten zur Erzeugung des alternierenden Signals sind vielfältig. Da die Aufteilung der einzelnen Impulse auf das betreffende Zeitintervall nicht gleichförmig erfolgen muss, könnten bspw. von der Taktfrequenz abgeleitete Impulse ausgegeben werden, wobei gleichzeitig eine Zählung erfolgen könnte, um das aktuelle Zählergebnis mittels eines Komparators mit dem vorgegebenen Wert zu vergleichen und nach Erreichen desselben die Übertragung weiterer Impulse zu unterdrücken. Eine andere Möglichkeit besteht darin, die betreffende Anzahl von Impulsen in ein Schieberegister zu

schreiben und dessen Inhalt sodann innerhalb des vorgegebenen Zeitintervalls seriell an die betreffende Kanalbaugruppe auszugeben.

5 Zum Betrieb einer erfindungsgemäßen Anordnung sieht die Erfindung vor, dass stets ein Kanal zur Signalübertragung verwendet wird, während der andere zu Test- und/oder Korrekturzwecken betrieben wird. Solchenfalls kann der Test für die Zentraleinheit der betreffenden, speicherprogrammierbaren
10 Steuerung völlig unsichtbar erfolgen, d. h., diese wird stets und weitgehend verzögerungsfrei mit den für sie notwendigen Informationen beliefert bzw. darf darauf vertrauen, dass von ihr in Richtung der Anlage abgegebene Signale dort auch nahezu unverzögert eintreffen, sofern kein Totalausfall der
15 betreffenden Peripheriebaugruppe erfolgt.

Ein Komponententest kann dadurch vorgenommen werden, dass die Ausgangssignale der beiden Kanäle voneinander subtrahiert werden, wobei das Subtraktionsergebnis mit wenigstens einem vorgegebenen Grenzwert verglichen wird, um bei einer größeren
20 Abweichung einen Fehler zu erkennen. Dieser Modus kann verwendet werden, um einen auftretenden Fehler einer Kanalbaugruppe sofort zu erkennen, da solchenfalls eine von null erheblich abweichende Differenz auftritt. Dabei kann dieser
25 Vergleich sowohl bei einer Eingangs- wie auch bei einer Ausgangsbaugruppe vorgenommen werden, wenn bei dem Ausgang bspw. eine entsprechende Analogschaltung vorgesehen ist mit einem als Subtrahierer verschalteten Operationsverstärker, ggf. einem Absolutwertbildner und einem Komparator zum Vergleich der
30 absoluten Differenz mit einem vorgegebenen und noch tolerierbaren Grenzwert. Die Rückmeldung dieser Testbaugruppe kann mittels eines einzigen Signals, bspw. des Ausgangssignals des Komparators erfolgen, so dass sich auch hier eine Potentialtrennung mit einfachsten Mitteln erreichen lässt.

35

Im Rahmen eines anderen Testmodus wird ein Kanal zur Signalübertragung verwendet und der andere währenddessen einem Test

unterzogen, indem ein Testsignal ausgegeben und wieder eingelesen wird, wobei der ausgegebene und der eingelesene Signalwert voneinander subtrahiert werden, und wobei schließlich das Subtraktionsergebnis mit wenigstens einem vorgegebenen 5 Grenzwert verglichen wird, um bei einer größeren Abweichung einen Fehler zu erkennen. Während durch den Parallelbetrieb beider Kanäle und Vergleich von deren Ausgangssignalen festgestellt werden kann, ob bei einem dieser beiden Kanäle überhaupt ein Fehler aufgetreten ist, kann mit dem letzteren 10 Testschritt sogar ermittelt werden, welcher von beiden Kanälen defekt ist. Dies wird erreicht, indem der zu untersuchende Kanal als Bestandteil einer Signalübertragungsschleife geschalten wird, und durch Vergleich des Ausgangssignals dieser Schleife mit ihrem Eingangssignal lässt sich bei einer erkennbaren Abweichung eine Fehlfunktion der betreffenden Kanalbaugruppe diagnostizieren. Solchenfalls kann selektiv dieser 15 abgeschalten und sodann vorübergehend nur mit dem verbleibenden Kanal gearbeitet werden, bis infolge eines durch die Fehlermeldung ausgelösten Alarms der Defekt behoben 20 worden ist.

Um einen eingetretenen Fehler frühzeitig erkennen zu können, sollte der Testmodus in kurzen Zeitabständen wiederholt werden, wobei jeweils zunächst ein Kanal und sodann der andere 25 getestet wird und der jeweils andere währenddem die Signalübertragung übernimmt. In dem äußerst unwahrscheinlichen Fall, dass gleichzeitig beide Kanalbaugruppen beschädigt werden, ließe sich durch einen Vergleich der Ausgangssignale möglicherweise kein Fehler feststellen, wenn bspw. beide Ausgangssignale gleichzeitig spannungslos werden. Dieser Fall 30 kann jedoch durch regelmäßig durchzuführende Tests der absoluten Funktionsfähigkeit der Kanalbaugruppen ausgeschlossen bzw. erkannt werden. Deshalb sollte in kurzen Zeitabständen zumindest eine der beiden Kanalbaugruppen auf ihre absolute 35 Funktionsfähigkeit hin untersucht werden. Da der gleichzeitige Ausfall beider Kanalbaugruppen ein extrem seltenes Ereignis bildet, können diese absoluten Funktionstests in längeren

Zeitintervallen durchgeführt werden, bspw. etwa einmal pro Sekunde. Sofern während des Normalbetriebs kein Vergleich der parallelgeschalteten Kanalbaugruppen vorgenommen wird, sollte in entsprechend kurzen Zeitabständen der Datenfluss zwischen 5 den beiden Kanalbaugruppen umgeschalten und währenddessen jeweils wenigstens ein Test der solange nicht benötigten Kanalbaugruppe durchgeführt werden.

Optimale Ergebnisse lassen sich erzielen, wenn ein Datenverarbeitungs-Baustein die Auswertung der Testergebnisse (Vergleich der Ausgangssignale beider Kanäle bzw. des eingelesenen mit dem ausgegebenen Testergebnis) übernimmt. Während des ordnungsgemäßen Betriebes kann der Vergleich der Ausgangssignale beider, parallel betriebener Kanalbaugruppen stets in 10 demselben Datenverarbeitungs-Baustein durchgeführt werden; diesem kann für die abwechselnd durchzuführenden Absolutwert-Tests auch die Steuerung der Testkanalbaugruppe sowie der Vergleich zwischen dem Eingangs- und dem Ausgangssignal der jeweiligen Testschleife übertragen werden. Hierdurch reduziert sich der Programmieraufwand, da sich eine eindeutige 15 Master-Slave-Konfiguration ergibt, wo Steuerungsbefehle stets von dem Master-Baustein zu dem Slave-Baustein und Informationen stets in umgekehrter Richtung gesendet werden.

Ein ordnungsgemäßer Datenaustausch mit der Zentraleinheit der speicherprogrammierbaren Steuerung erfolgt dadurch, dass ein 20 Datenverarbeitungs-Baustein, vorzugsweise der die Auswertung übernehmende, über eine Datenschnittstelle mit der zentralen Steuereinheit kommuniziert. Der erfundungsgemäße Peripheriebaustein kann in verschiedener Hinsicht zur Erhöhung der Fehlersicherheit einer speicherprogrammierbaren Steuerung verwendet werden. Bereits in einer Anlage mit nur einer Zentraleinheit und einem Kommunikationsbus wird die Sicherheit gegen einen Ausfall der Peripheriebaugruppe selbst erhöht. Durch 25 Verwendung besonders sicherer Datenleitungen und/oder durch Einsatz besonders sicherer Datenformate und/oder durch eine Senkung der Datenübertragungsrate kann ebenfalls eine Erhö-

hung der Sicherheit erzielt werden. Diese Kommunikation findet standardmäßig mit einem der beiden Datenverarbeitungs-Baugruppen in der erfindungsgemäßen Peripheriebaugruppe statt. Über diese Baugruppe kann die Zentraleinheit auch den 5 aktuellen Fehlerstatus beider Kanalbaugruppen erfragen. Deshalb ist es von Vorteil, hierfür diejenige Baugruppe zu verwenden, welche gleichzeitig auch den Testablauf steuert, da solchenfalls eine Datenübertragung von den Master-Baustein zu dem Slave-Baustein nicht erforderlich ist.

10

Um die Ereignisse in dem erfindungsgemäßen Peripheriebaustein für die Zentraleinheit der betreffenden speicherprogrammierbaren Steuerung transparent zu machen, sollte von dem mit der Zentraleinheit der speicherprogrammierbaren Steuerung kommunizierenden Datenverarbeitungs-Baustein ein Informationssignal über den aktuellen Test- bzw. Fehlerstatus bereitgehalten werden. Damit die Zentraleinheit zu jedem Zeitpunkt eine Information über den jüngsten Erkenntnisstand hinsichtlich der Funktionsfähigkeit der erfindungsgemäßen Kanalbaugruppen erhalten kann, sollte das jeweils aktuellste Testergebnis abgespeichert werden, um bei jeder Anfrage seitens der Zentraleinheit der speicherprogrammierbaren Steuerung eine sofortige Antwort liefern zu können. Die Speicherung kann hierbei entweder in einem Register des die Tests ausführenden Datenverarbeitungs-Bausteins vorgenommen werden, oder aber in einem 20 externen Speicher.

Schließlich entspricht es der Lehre der Erfindung, dass jeder Datenverarbeitungs-Baustein je eine eigene Datenschnittstelle 30 zu je einer Datenverbindung aufweist, so dass die Verwendung zweier voneinander völlig unabhängiger Datenleitungen möglich ist. Diese Konfiguration ist vor allem für die Verwendung bei speicherprogrammierbaren Steuerungen mit zwei voneinander unabhängig betriebenen Kommunikationsbussen gedacht, welche jeweils mit einem von zwei, parallel betriebenen Zentraleinheiten 35 kommunizieren. Solchenfalls ergibt sich ein maximaler Grad an Redundanz, während andererseits die Systemstruktur

äußerst übersichtlich ist, da jede der beiden Zentraleinheiten nur mit jeweils einer Datenverarbeitungs-Baugruppe der erfindungsgemäßen Peripheriebaugruppe kommuniziert. Da andererseits die beiden Datenverarbeitungs-Baugruppen des erfindungsgemäßen Peripheriebausteins miteinander in Verbindung stehen, kann nötigenfalls auch ein „Über-Kreuz-Betrieb“ aufrecht erhalten werden, wobei bspw. bei Ausfall der primären Kanalbaugruppe die Hauptzentraleinheit über die Master-Datenverarbeitungs-Baugruppe die Slave-Datenverarbeitungs-Baugruppe steuert und damit auf die sekundäre Kanalbaugruppe zugreift, oder bei Ausfall der Hauptzentraleinheit die Hilfszentraleinheit über die Slave-Datenverarbeitungs-Baugruppe entsprechende Anweisungen an die Master-Datenverarbeitungs-Baugruppe erteilt und dadurch mit der primären Kanalbaugruppe arbeiten kann.

Weitere Merkmale, Einzelheiten, Vorteile und Wirkungen auf der Basis der Erfindung ergeben sich aus der nachfolgenden Beschreibung eines bevorzugten Ausführungsbeispiels der Erfindung sowie anhand der Zeichnung. Hierbei zeigt:

Fig. 1 ein Blockschaltbild einer speicherprogrammierbaren Steuerung mit hoher Fehlersicherheit;

Fig. 2 ein Blockschaltbild einer speicherprogrammierbaren Steuerung mit hoher Verfügbarkeit und hoher Fehlersicherheit;

Fig. 3 den grundsätzlichen Aufbau eines erfindungsgemäßen Peripheriebausteins; sowie

Fig. 4 einen Schaltplan eines erfindungsgemäßen Peripheriebausteins für analoge Eingabe.

Die in Fig. 1 wiedergegebene speicherprogrammierbare Steuerung 1 umfasst eine fehlersicher aufgebaute Zentraleinheit 2, an welche über einen fehlersicher betriebenen Kommunikationsbus 3 n Komponenten 4 angeschlossen sind, von denen wenigs-

tens eine fehlersicher aufgebaut ist. Die fehlersicheren Komponenten 2 - 4 bilden eine lückenlose, sicherheitsrelevante Kette, wobei über die fehlersichere Komponente 4 Informationen erfasst, über den Kommunikationsbus 3 mit hoher Sicherheit an die Zentraleinheit 2 übertragen werden, dort verknüpft werden, um Steuerbefehle zu erhalten, mit denen über den Kommunikationsbus 3 und eine wiederum fehlersichere Peripheriekomponente 4 eine Reaktion eines Aktuators in der Anlage veranlasst wird. Die hohe Fehlersicherheit der einzelnen Komponenten 2, 4 kann durch einen sehr sorgfältigen Aufbau sowie durch ständige Selbsttests mittels eines jeweils in diesen Bauteilen 2, 4 enthaltenen Mikroprozessors oder Mikrocontrollers bewirkt werden. Besonders wichtige Bauteile der erfindungsgemäßen, fehlersicheren Peripheriebaugruppe 4 sind zusätzlich mehrfach ausgebildet, um dadurch eine Redundanz für die Situation eines Ausfalls zu schaffen.

Demgegenüber weist die speicherprogrammierbare Steuerung 5 eine besonders hohe Verfügbarkeit auf, indem zusätzlich zu einer ersten fehlersicheren Zentraleinheit ZE 1 eine dazu parallelbetriebene Zentraleinheit ZE 2 vorgesehen ist, welche mit sämtlichen n Komponenten 4 über jeweils eigene, fehlersichere Kommunikationsbusse 3 kommunizieren. Ferner kann ein Datenaustausch sowie eine Synchronisation der beiden Zentralenheiten ZE 1, ZE 2 über eine Koppelung 6 erfolgen. Auch bei dieser Anordnung ist zumindest eine der an die Zentraleinheiten 2 angeschlossenen Komponenten 4 als erfindungsgemäße, fehlersichere Peripheriebaugruppe aufgebaut, damit die hohe Verfügbarkeit dieser speicherprogrammierbaren Steuerung 5 keine Schwächung im Bereich der Schnittstelle zu dem Prozess erfährt.

In Fig. 3 ist ein Blockschaltbild einer erfindungsgemäßen, fehlersicheren Peripheriebaugruppe 4 in Form einer Analogeingabeeinheit zu sehen, welche den prinzipiellen Aufbau wie auch die grundsätzliche Wirkungsweise einer erfindungsgemäßen Baugruppe 4 deutlich macht.

Der mit der Anlage verbundene Analogeingang 7 ist über einen Umschalter 8 mit dem Input 9 eines ersten Übertragungskanals 10 verbunden, dem letztendlich die Aufgabe obliegt, das Analogsignal 11 in ein Digitalsignal 12 zu transformieren, welches eine Folge mehrerer Zahlendarstellungen der in kurzen Zeitabständen abgetasteten Amplitude des Analogsignals 11 darstellt. Dieses Digitalsignal 12 wird von einer ersten Datenverarbeitungs-Baugruppe 13 in Form eines Mikrocontrollers eingelesen, und ggf. aufbereitet, bspw. durch Addition eines Offsetwertes, Multiplikation mit einem Skalierungsfaktor, oder auch durch Zusammenstellung eines die Amplitudeninformation enthaltenden und diese ggf. als solche kennzeichnenden Telegramms 14, welches sodann von einem Kommunikationsbaustein 15 über die Verbindung 16 und den fehlersicheren Kommunikationsbus 3 zu der Zentraleinheit 2 der speicherprogrammierbaren Steuerung 1, bzw. zu der Hauptzentraleinheit ZE 1 der hochverfügbaren Steuerung 5 übertragen wird.

Da der Übertragungskanal 10 aufgrund der notwendigen Signalumsetzung und der dafür benötigten, aktiven Bauteile eine nicht verschwindende Ausfallwahrscheinlichkeit aufweist, sieht die Erfindung einen weitgehend identischen, zweiten Übertragungskanal 17 vor, dessen analoger Eingangsanschluss 18 ebenfalls über einen Umschalter 19 an den Analogeingang 7 des erfindungsgemäßen Peripheriebausteins 4 anschließbar ist. Das von dem zweiten Übertragungskanal 17 in eine binäre Impulsfolge 20 gewandelte Analogsignal 11 wird einer an dem Ausgang 20 des zweiten Übertragungskanals 17 angeschlossenen, zweiten Datenverarbeitungs-Baugruppe 21 zugeleitet, welche die notwendigen Aufbereitungsschritte durchführt, um normierte Digitalwerte zu erhalten, welche bei gleichzeitigem Betrieb der beiden Übertragungskanäle 10, 17 im Idealfall identisch mit den von der ersten Datenverarbeitungs-Baugruppe 13 erzeugten Werten sein sollten.

35

Die solchermaßen in der zweiten Datenverarbeitungs-Baugruppe 21 erhaltenen, normierten Werte werden an einen beschreib-

und lesbaren Speicherbaustein 22 übertragen 23 und können von dort über einen weiteren Anschluss 24 dieses Speicherbausteins 22 von der ersten Datenverarbeitungs-Baugruppe 13 bei Bedarf gelesen 25 werden. Somit kann in der ersten Datenverarbeitungs-Baugruppe 13 ein Vergleich der beiden Ergebnisse der beiden Übertragungskanäle 10, 17 vorgenommen werden, und sobald hierbei größere Abweichungen auftreten, liegt zweifellos bei mindestens einer Kanalübertragungsbaugruppe 10, 17 ein Fehler vor.

10

Die Steuerung 33 des ersten Übertragungskanals 10 ist wie auch die Betätigung 35 des ersten Umschalters 8 der ersten Datenverarbeitungs-Baugruppe 13 zugewiesen, während die entsprechenden Funktionen 34, 36 für den zweiten Übertragungskanal 17 und den zweiten Umschalter 19 von der zweiten Datenverarbeitungs-Baugruppe 21 übernommen werden.

20 Ferner kann auch an der zweiten Datenverarbeitungs-Baugruppe 21 ein eigener Kommunikationsbaustein 26 angeschlossen 27 sein, um über den dortigen Ausgang 28 über den daran angeschlossenen Kommunikationsbus 3 mit der Hilfs-Zentraleinheit ZE 2 kommunizieren zu können.

Bei Auftreten einer Fehlfunktion, welche die Datenverarbeitungs-Baugruppe 13 feststellt, kann ein entsprechendes Statusregister gesetzt werden, so dass bei einer Anfrage der Zentraleinheit ZE, ZE 1 dieser Fehlerzustand weitergemeldet wird, oder die Datenverarbeitungs-Baugruppe 13 kann von sich aus eine entsprechende Fehlermeldung an die betreffende Zentraleinheit ZE, ZE 1 absenden. Darüber hinaus kann die Information über den Fehlerstatus auch in den beschreib- und lesbaren Speicher 22 eingetragen werden, von wo sie über deren zweiten Anschluss 29 von der zweiten Datenverarbeitungs-Baugruppe 21 eingelesen und über deren Kommunikationsbaustein 26 auch an die Hilfs-Zentraleinheit ZE 2 weitergemeldet werden kann.

Diese erste Betriebsart erlaubt zwar eine Feststellung, ob zumindest eine der beiden Kanalübertragungsbaugruppen 10, 17 defekt ist, jedoch kann bei einer festgestellten Abweichung nicht ohne weiteres eine Aussage darüber getroffen werden,

5 bei welcher der beiden Kanalübertragungsbaugruppen 10, 17 der Fehler zu suchen ist. Deshalb ist eine zusätzliche Testmöglichkeit vorgesehen, wobei von einem Testkanal 30, der von der ersten Datenverarbeitungs-Baugruppe 13 steuerbar 31 ist, ein vorgebbares Analogsignal 32 erzeugt wird, welches durch
10 die Umschalter 8, 19 wahlweise anstelle des Analogeingangssignals 7 der erfindungsgemäßen Peripheriebaugruppe 4 an den Eingang 9, 18 einer Kanalübertragungsbaugruppe 10, 17 schaltbar ist. Durch Rücklesen des Ausgangssignals 12, 20 des betreffenden Kanals 10, 17 und durch Vergleich desselben mit
15 dem Vorgabewert 31 für das von dem Testkanal 30 ausgegebene Signal 32 kann festgestellt werden, ob die betreffende Kanalübertragungsbaugruppe 10, 17 einwandfrei funktioniert.

Bevorzugt wird jeweils nur eine Kanalübertragungsbaugruppe
20 10, 17 gleichzeitig getestet, während die jeweils andere mit ihrem Umschalter 8, 19 an das analoge Eingangssignal 7 angekoppelt ist und somit für einen lückenlosen Datenfluss Sorge zu tragen vermag. Sofern ein zweiter Kommunikationsbaustein 26 vorgesehen ist, so kann der von dem jeweils den ordnungsgemäßen Betrieb sicherstellenden Übertragungskanal 10, 17 in digitalen Signalen zur Verfügung gestellte Wert 12, 20 über den gemeinsamen Speicher 22 zwischen den beiden Datenverarbeitungs-Baugruppen 13, 21 ausgetauscht und somit über beide Ausgänge 16, 28 auf die jeweils angeschlossenen Kommunikationsbusse 3 und von dort auf beide Zentraleinheiten ZE 1, ZE 2 übertragen werden.

Nach einem kurzen Zeitintervall wird sodann die Funktion der beiden Übertragungskanäle 10, 17 vertauscht, so dass nun der
35 andere Übertragungsweg 10, 17 getestet werden kann. Vorzugsweise werden zwischen diesen Phasen vorübergehend beide Übertragungskanäle 10, 17 parallel an dem Eingangssignal 7 be-

trieben, so dass kein einziger Messwert verloren geht. Dies wird dadurch erreicht, dass stets einer der beiden Umschalter 8, 19 mit dem Analogeingang 7 verbunden ist. Bei einem Umschalten wird demnach immer zunächst eine Schalterstellung 5 herbeigeführt, wo beide Umschalter 8, 19 mit dem Analogeingang 7 verbunden sind, bis der jeweils andere von diesem Signal gelöst und an das Testsignal 32 angelegt wird.

10 Eine hardwaremäßig aufgebaute Schaltung zur Realisierung der soeben beschriebenen Funktionen ist in Fig. 4 wiedergegeben.

Man erkennt aus Fig. 4, dass der erfindungsgemäße Peripheriebaustein 4 insgesamt drei Analogeingänge 7a - 7c aufweist, von denen jeder an jeden der beiden Übertragungskanäle 10, 17 15 schaltbar ist. Jede Analogeingangsstufe 7a - 7c ist mit einem Spannungsteiler aus zwei Widerständen 37a - 37c und 38a - 38c aufgebaut. Diese Spannungsteiler 37, 38 sind einseitig mit einem Masseanschluss 39 verbunden, während das jeweils andere Endpotential sowie der Mittelabgriff als Spannungs- U und 20 Stromeingänge I, 7a - 7c ausgebildet sind, deren Nennspannungs- bspw. Strompegel über den betreffenden Spannungsteiler 37, 38 in für nachgeordnete Bausteine kompatible Spannungspegel umgesetzt werden. Von einer Versorgungsgleichspannung 41 von bspw. 24 Volt, die von einem Verstärker 42 hinreichend 25 niedrohmig zur Verfügung gestellt wird, werden bspw. angeschlossene Sensor-Stromquellen 40a - 40c von jeweils bspw. 20 mA gespeist, die durch das sensierte Signal moduliert werden. Als relevante Eingangsspannung wird sodann je nachdem die Spannung an dem Spannungsteiler-Mittelabgriffs 7a - 7c 30 und/oder an dem betreffenden Spannungseingang U betrachtet und ggf. über jeweils zwei Leitungen 43a - 43c bzw. 44a - 44c an die Schalter 8, 19 gelegt, von wo sie paarweise an die Eingänge 9a, 9b bzw. 18a, 18b eines oder beider Übertragungskanäle 10, 17 geschalten werden können.

35

Da die Analogeingänge 7a - 7c durch eine weiter unten zu erläuternde Potentialtrennung 45 nicht mit der allgemeinen Mas-

se verbunden sind, kann die analoge Masse 39 sich in beliebiger Relation zu den Eingangsspannungen 7a - 7c einstellen.

Die Spannungsdifferenz über den Widerständen 37 wird demnach 5 von dem betreffenden Übertragungskanal 10, 17 als eine positive Spannung aufgefasst und von einem Analog-Frequenz- Wandler 46, 47 in eine Impulsfolge 48, 49 mittlerer Frequenz transformiert. Diese Impulsfolge 48, 49 kann von je einem Optokoppler 50, 51 potentialfrei zu einem nachgeschalteten Zählerbaustein 52, 53 übertragen werden, der jeweils die innerhalb 10 eines vorgegebenen Zeitintervalls eintreffenden Impulse zählt und damit ein Maß für die Frequenz 48, 49 liefert. Dieser Zählerstand wird von der jeweils angekoppelten Datenverarbeitungs-Baugruppe 13, 21 jeweils nach Ablauf des vorgegebenen 15 Zeitintervalls abgefragt, sodann wird der Zähler auf null zurückgesetzt und wieder frei gegeben. Der frequenzproportionale Zählerstand 12, 20 stellt somit ein binäres Analogon zu dem aktuellen Spannungswert an dem jeweils durchgeschalteten Analogeingang 7a - 7c dar und kann von der betreffenden 20 Datenverarbeitungs-Baugruppe 13, 21 ggf. normiert werden, um einen für eine Weiterverarbeitung zugänglichen Digitalwert zu erhalten.

Indem der von dem Übertragungskanal 17 gelieferte Digitalwert 25 20 von der Datenverarbeitungs-Baugruppe 21 über einen beschreib- und lesbaren Speicher 22 der ersten Datenverarbeitungs-Baugruppe 13 zur Verfügung gestellt wird, können mit dieser Anordnung gleichzeitig zwei unterschiedliche Eingangssignale 7a, 7b in Digitalwerte umgewandelt und über die Kommunikationsbaugruppe 15 an eine Zentraleinheit ZE, ZE 1 weitergeleitet 16 werden. Andererseits ist es auch möglich, dass 30 selbe Eingangssignal 7a - 7c an beide Übertragungskanäle 10, 17 parallel anzuschließen 8, 19, und die solchenfalls erhaltenen Digitalwerte 12, 20 von der Datenverarbeitungs- Baugruppe 13 bspw. durch Subtraktion miteinander vergleichen 35 zu lassen, um einen Anhaltspunkt dafür zu erhalten, ob bei

einem der beiden Übertragungskanäle 10, 17 ein Fehler aufgetreten ist.

Bei einer von Null abweichenden Eingangsspannung 7a - 7c ver-
5 ändert sich das Eingangssignal 9, 18 des betreffenden Über-
tragungskanals 10, 17, so dass sich die Frequenz 48, 49 und
demnach das Zählerausgangssignal 12, 20 entsprechend verän-
dern.

10 Die den Eingängen 7a - 7c nachgeschalteten Signalleitungen
43, 44 weisen Überspannungsschutzdiode 54 auf, um einge-
streute Störspitzen von den Eingängen 9, 18 der Übertragungs-
kanäle 10, 17 fernzuhalten. Die Schaltkreise 8a und 8b besit-
zen integrierte Schutzdiode.

15 In der Zeichnung sind zwei unterschiedliche Arten von Schal-
tern wiedergegeben: Bei den Schaltern 8a, 8b handelt es sich
um jeweils 1-aus-n-Multiplexer für jeden der beiden Eingangs-
anschlüsse 9a, 9b des angeschlossenen Übertragungskanals 10,
20 während die Schaltbausteine 19a - 19f als 2xEIN-Schalter auf-
gebaut sind. Die jeweiligen Ansteuersignale für diese Schalt-
bausteine 8a, 8b bzw. 19a - 19f werden von den Datenverarbei-
tungs-Baugruppen 13, 21 generiert und sind zusätzlich poten-
tialmäßig aufgetrennt, so dass auch auf diesem Weg keine
25 Störspannungen durch die Barriere 45 in den Datenverarbei-
tungsbereich 13, 21 gelangen können. Um einen ordnungsgemäßen
Betrieb sicherzustellen, müssen von den Schaltern 8a, 8b je-
weils die einander entsprechenden Eingänge zu den Ausgangs-
signalen 9a, 9b durchgeschalten werden. Andererseits muss bei
30 der Schaltungsanordnung mit den Schaltern 19a - 19f sicherge-
stellt werden, dass stets nur ein einziger Schalterbaustein
19a - 19f durchgeschalten ist.

Unter Beachtung dieser Schaltregeln können zu jedem der bei-
35 den Übertragungskanäle 10, 17 neben den drei Eingangssignal-
anschlüssen 7a - 7c auch drei Testsignale durchgeschalten
werden. Am deutlichsten ist dies bei dem Übertragungskanal 17

zu erkennen, wo für jeden Testmodus ein eigener Schalter 19d - 19f vorgesehen ist. Wird hiervon der Schalter 19d geschlossen, so liegt an beiden Eingängen 18a, 18b des Analog-Frequenz-Wandlers 47 dieselbe Spannung an, nämlich das analoge Massepotential 39. Demzufolge muss bei diesem Testmodus 5 stets ein Zählerwert von null ausgelesen 20 werden. Ist dies nicht der Fall, so ist der getestete Kanal defekt.

Über einen weiteren Schalter 19e kann einerseits das Massepotential 39 und andererseits eine fest vorgegebene Referenzspannung 54 von bspw. 2,5 V gegenüber dem Massepotential 39 zu den Eingängen 18a, 18b des Analog-Frequenz-Wandlers 47 durchgeschalten werden, und sofern nicht ein dieser Spannungsamplitude 54 entsprechender Wert aus dem Zähler 53 ausgelesen 15 20 wird, so liegt ebenfalls ein Fehler vor.

Schließlich kann mit dem Schalter 19f eine kontinuierliche Überprüfung des Übertragungskanals 47 für beliebige Zwischenwerte vorgenommen werden. Hierbei findet ein Testkanal 30 25 Verwendung, der von der Datenverarbeitungs-Baugruppe 13 angesteuert 31 wird. Kern dieses Testkanals bildet ein Frequenz-Analogspannungs-Wandler 55, der zwecks Potentialtrennung 45 über einen Optokoppler 56 mit einer Bitfolge beschickt wird, die von einem Schieberegister 57 ausgegeben wird. Das Schieberegister 57 wird über die Steuerleitung 31 von der Datenverarbeitungs-Baugruppe 13 geladen und sodann mit einer vorgegebenen Frequenz getaktet, derart, dass sämtliche Bits dieses Schieberegisters 57 in einem vorgegebenen Zeitintervall an dem Ausgang 58 abgegeben werden. Je nach Anzahl der Flanken 30 35 der von dem Schieberegister 57 abgegebenen Impulsfolge 58 erzeugt der Frequenz-Spannungs-Wandler 55 unterschiedliche Analogspannungen 32, welche sodann - bezogen auf das analoge Massepotential 39 - über den Schalter 19f an die Eingänge 18 des zu testenden Übertragungssignals 17 gelegt werden. Dort wird diese Spannung zurückgewandelt und kann von der zweiten Datenverarbeitungs-Baugruppe 21 eingelesen 20 werden. Diese meldet das registrierte Ergebnis über den Speicher 22 an die

erste Datenverarbeitungs-Baugruppe 13, welche den solchermaßen am Ende der Schleife erhaltenen Wert mit dem ursprünglich an das Schieberegister 57 ausgegebenen Wert vergleicht und hieraus größere Abweichungen erkennen und ggf. einen Fehler
5 feststellen kann.

Mit demselben Testsignal 39, 54, 32 kann auch der erste Übertragungskanal 10 getestet werden, wobei ausschließlich die Steuerung der Multiplexer 8a, 8b entsprechend vorgenommen
10 werden muss.

Bei einer weiter modifizierten Ausführungsform kann auch die Eingangsbeschaltung etwa bis zu der Barriere 45 pro Peripheriebaustein 4 insgesamt doppelt ausgeführt sein, um die Sicherheit weiter zu verbessern. Solchenfalls kann bei der Zuordnung der Eingänge 7a, 7b und 7c zu den Bausteinen 8, 19 und/oder die Zuordnung der Spannungs-Frequenz-Wandler 46, 47 zu den Datenverarbeitungs-Baugruppen 13, 21 bei den beiden Eingangsbeschaltungen über Kreuz erfolgen, so dass die beiden
15 Eingangsbeschaltungen quasi antiparallel von den Datenverarbeitungs-Baugruppen 13, 21 angesteuert werden.
20

Patentansprüche

1. Peripheriebaustein (4) mit hoher Fehlersicherheit für speicherprogrammierbare Steuerungen (1, 5), insbesondere An-
5 logeingabe-Schaltung, gekennzeichnet durch wen-
nigstens zwei weitgehend identisch aufgebaute Kanäle (10, 17)
zur parallelen Signalein- und/oder -ausgabe, die im Bereich
der Peripherieschnittstelle (7) parallelgeschalten und/oder
parallelorschaltbar sind, und durch wenigstens eine Datenverar-
10 beitungs-Block (μ P oder μ C; 13) zum Testen der Kanäle (10,
17) ohne Unterbrechung des Datenflusses.
2. Peripheriebaustein nach Anspruch 1, gekenn-
z e i c h n e t durch eine zweite(n), Datenverarbeitungs-
15 Block (μ P oder μ C; 21) zum Aufbereiten der zu übertragenden
Daten (11, 20) während einer Testphase.
3. Peripheriebaustein nach Anspruch 2, dadurch
gekennzeichnet, dass jede der beiden Datenverar-
20 beitungs-Blöcke (13, 21) je einem Kanal (10, 17) zugeord-
net ist und derart ausgebildet ist, dass er sowohl die Sig-
nalaufbereitung wie auch den Test dieses Kanals (10, 17)
übernehmen kann.
- 25 4. Peripheriebaustein nach Anspruch 3, dadurch
gekennzeichnet, dass die beiden Datenverarbei-
tungs-Blöcke (13, 21) zwecks Informationsaustausch miteinan-
der gekoppelt sind (22, 23, 25).
- 30 5. Peripheriebaustein nach Anspruch 4, dadurch
gekennzeichnet, dass die beiden Datenverarbei-
tungs-Blöcke (13, 21) über bausteininterne Verbindungen (22,
23, 25) miteinander gekoppelt sind.
- 35 6. Peripheriebaustein nach Anspruch 5, dadurch
gekennzeichnet, dass die beiden Datenverarbei-

tungs-Blöcke (13, 21) über einen Speicher (22) gekoppelt sind, auf den sie beide Zugriff haben.

7. Peripheriebaustein nach Anspruch 6, dadurch gekennzeichnet, dass die beiden Datenverarbeitungs-Blöcke (13, 21) an unterschiedlichen Ein-/Ausgängen (24, 29) des Speichers (22) angeschlossen (23, 25) sind (Dual-Port-RAM).

10 8. Peripheriebaustein nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass bei einem Zweikanal-Eingabe-Baustein (4) ein zusätzlicher Ausgabekanal (30), bei einem Zweikanal-Ausgabe-Baustein ein zusätzlicher Einlesekanal vorgesehen ist, der mit jedem der 15 beiden übrigen Kanäle (10, 17) koppelbar (8, 19) ist, um eine Schleife über jeweils einen der beiden parallelen Kanäle (10, 17) zu bilden, so dass die ordnungsgemäße Verarbeitung eines Testsignals (32) überprüfbar ist.

20 9. Peripheriebaustein nach Anspruch 8, dadurch gekennzeichnet, dass die Ansteuerung (31) des Testkanals (30) einem der beiden Datenverarbeitungs-Blocks (13) fest zugewiesen ist.

25 10. Peripheriebaustein nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die beiden Kanäle (10, 17) auf der selben Platine angeordnet sind.

30 11. Peripheriebaustein nach Anspruch 10, dadurch gekennzeichnet, dass wenigstens ein Datenverarbeitungs-Block (13, 21) zusammen mit den beiden Kanälen (10, 17) auf der selben Platine angeordnet ist.

35 12. Peripheriebaustein nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass in

beiden Kanälen (10, 17), vorzugsweise auch in einem Testkanal (30), eine Potentialtrennung (45) vorgesehen ist.

13. Peripheriebaustein nach einem der vorhergehenden Ansprüche für eine analoge Ein- und/oder Ausgabe, dadurch gekennzeichnet, dass eine Signalumsetzung (46, 47) zwischen analogen Strom- oder Spannungspegeln (9, 18) einerseits und einem alternierenden Signal (Impulsfolge; 48, 49) mit einer zu dem Analogsignal (9, 18) proportionalen Frequenz andererseits erfolgt.

14. Peripheriebaustein nach Anspruch 12 in Verbindung mit Anspruch 13, dadurch gekennzeichnet, dass die Potentialtrennung (45) bei dem alternierenden Signal (48, 49) erfolgt, bspw. über Optokoppler (50, 51).

15. Peripheriebaustein nach Anspruch 13 oder 14, dadurch gekennzeichnet, dass das alternierende Signal (48, 49) einem Zählerbaustein (52, 53) zugeführt ist, um durch Zählen der Impulse (48, 49) innerhalb eines festen Zeitintervalls einen zu der Frequenz des alternierenden Signals (48, 49) proportionalen Digitalwert (12, 20) zu erzeugen.

16. Peripheriebaustein nach einem der Ansprüche 13 oder 14, dadurch gekennzeichnet, dass das alternierende Signal (58) einem Baustein (57) mit einem seriellen Ausgang entnommen wird, bspw. einem Schieberegister, welches in einem vorgegebenen Zeitintervall eine vorgegebene Anzahl von Ausgangsbits abgibt.

17. Verfahren zum Betrieb eines Peripheriebausteins nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass stets ein Kanal (10, 17) zur Signalübertragung verwendet wird, während der andere (17, 10) zu Test- und/oder Korrekturzwecken betrieben wird.

18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, dass die Ausgangssignale der beiden Kanäle (10, 17) voneinander subtrahiert werden, wobei das Subtraktionsergebnis mit wenigstens einem vorgegebenen Grenzwert verglichen wird, um bei einer größeren Abweichung einen Fehler zu erkennen.

19. Verfahren nach Anspruch 17 oder 18, gekennzeichnet durch einen Testmodus, wobei ein Kanal (10, 17) zur Signalübertragung verwendet und der andere (17, 10) währenddessen einem Test unterzogen wird, indem ein Testsignal (31) ausgegeben und wieder eingelesen wird, und wobei der ausgegebene und der eingelesene (12, 20) Signalwert voneinander subtrahiert werden, und wobei schließlich das Subtraktionsergebnis mit wenigstens einem vorgegebenen Grenzwert verglichen wird, um bei einer größeren Abweichung einen Fehler zu erkennen.

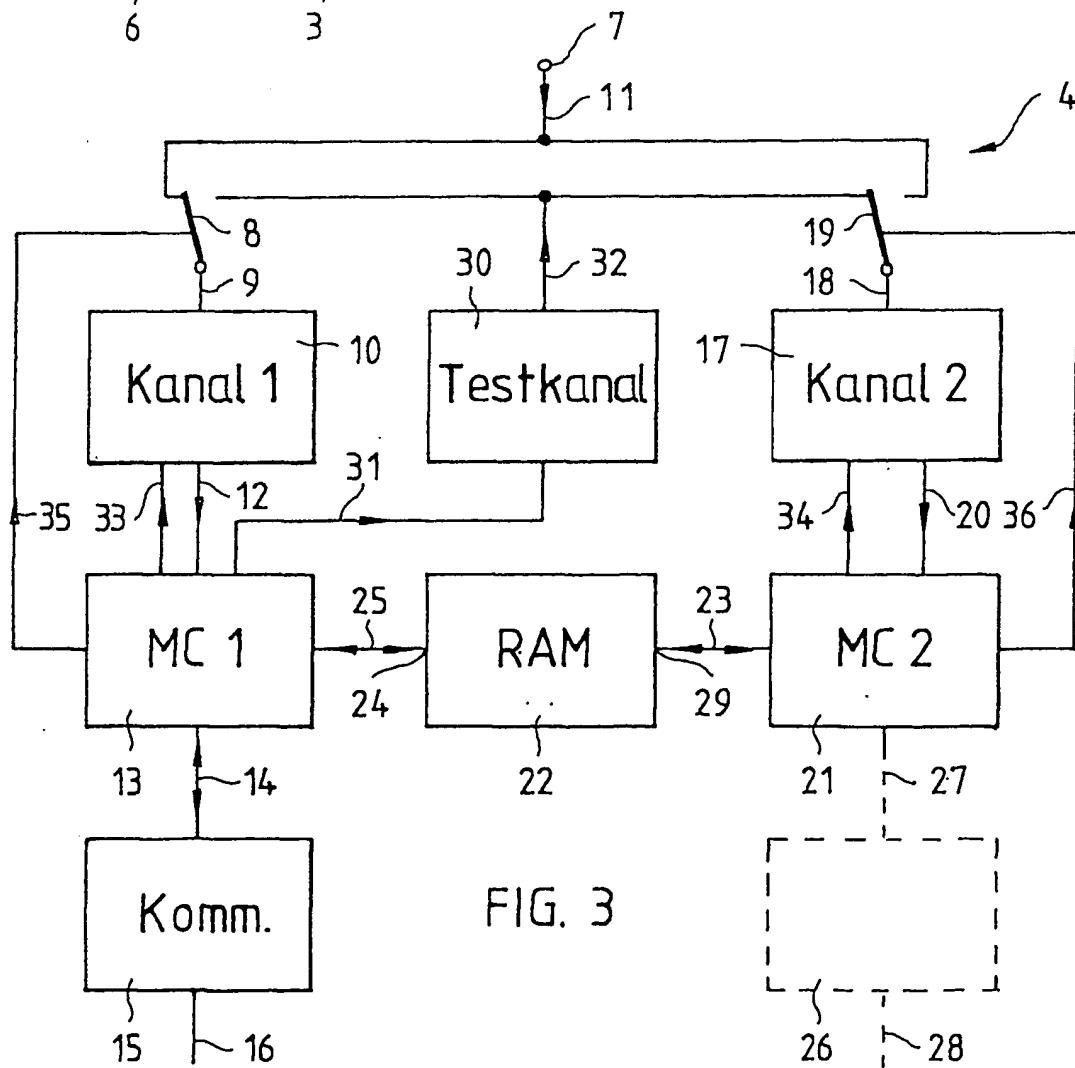
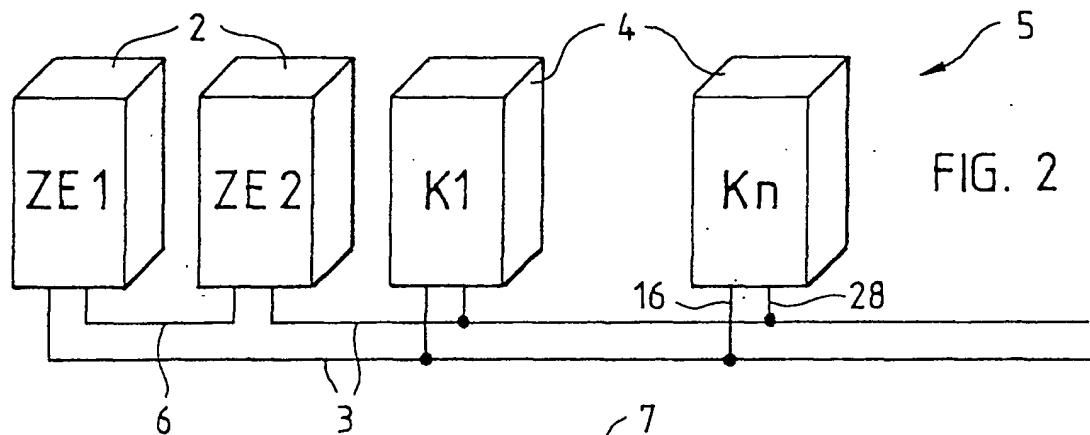
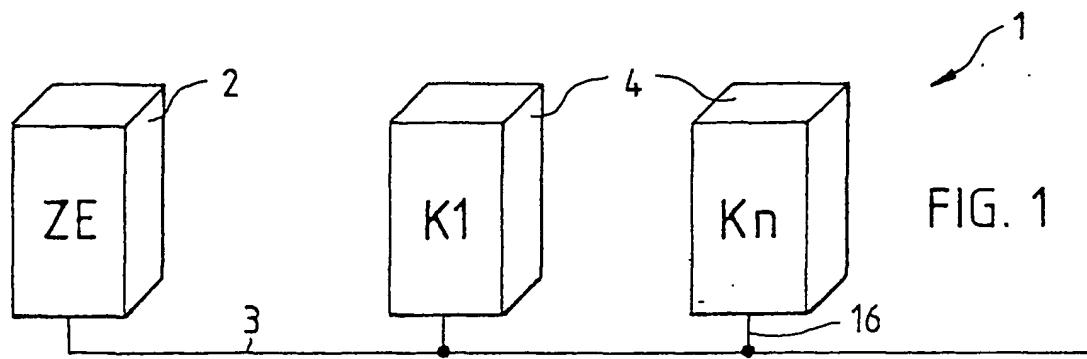
20. Verfahren nach Anspruch 19, dadurch gekennzeichnet, dass der Testmodus in kurzen Zeitabständen wiederholt wird, wobei jeweils zunächst ein Kanal (10, 17) und sodann der andere (17, 10) getestet (32) wird und der jeweils andere währenddem die Signalübertragung* (7) übernimmt.

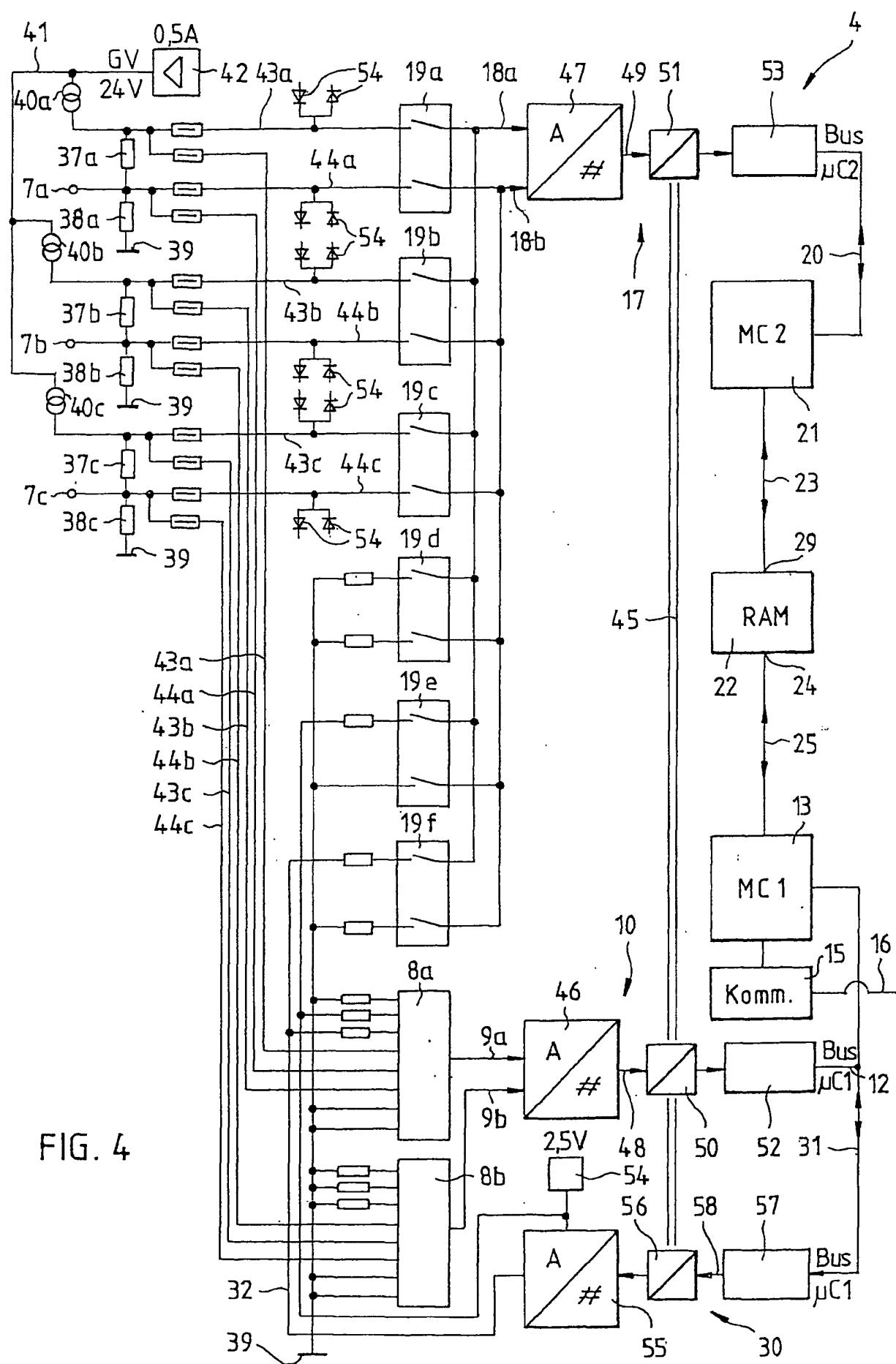
25
21. Verfahren nach einem der Ansprüche 17 bis 20, dadurch gekennzeichnet, dass ein Datenverarbeitungs-Baustein (13) die Auswertung der Testergebnisse (Vergleich der Ausgangssignale beider Kanäle bzw. des eingelesenen mit dem ausgegebenen Testergebnis) übernimmt.

30
35
22. Verfahren nach Anspruch 21, dadurch gekennzeichnet, dass ein Datenverarbeitungs-Baustein (13, 21), vorzugsweise der die Auswertung übernehmende (13), über eine Datenschnittstelle (15) mit der Zentraleinheit (ZE, ZE1, 2) der speicherprogrammierbaren Steuerung (1, 5) kommuniziert.

23. Verfahren nach Anspruch 22, d a d u r c h g e -
k e n n z e i c h n e t, dass von dem mit der Zentraleinheit
(ZE, ZE1, 2) der speicherprogrammierbaren Steuerung (1, 5)
kommunizierende (15) Datenverarbeitungs-Baustein (13) ein In-
5 formationssignal über den aktuellen Test- bzw. Fehlerstatus
bereitgehalten wird.

24. Verfahren nach einem der Ansprüche 17 bis 23, d a -
d u r c h g e k e n n z e i c h n e t, dass jeder Daten-
10 verarbeitungs-Baustein (13, 21) je eine eigene Datenschnitt-
stelle (15, 26) zu je einer Datenverbindung aufweist, so dass
die Verwendung zweier voneinander völlig unabhängiger Daten-
leitungen (16, 3; 28, 3) möglich ist.





INTERNATIONAL SEARCH REPORT

Int'l Application No

PCT/DE 01/01885

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 G06F11/20 G06F11/16 G05B19/042

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F G05B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 508 910 A (DIEHL ROBERT L) 16 April 1996 (1996-04-16) column 3, line 34 -column 4, line 51	1-5, 8, 9, 17-24
A		6, 7, 10-16
X	US 4 412 280 A (MURPHY RICHARD D ET AL) 25 October 1983 (1983-10-25) column 2, line 11-38	1, 17
A	US 5 088 021 A (MC LAUGHLIN PAUL F ET AL) 11 February 1992 (1992-02-11) figures 1-3	1, 17

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the International search report

27 September 2001

05/10/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Huyghe, E

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int'l. onal Application No

PCT/DE 01/01885

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 5508910	A 16-04-1996	NONE		
US 4412280	A 25-10-1983	US 4270168 A		26-05-1981
		GB 2030334 A ,B		02-04-1980
		US 4354230 A		12-10-1982
US 5088021	A 11-02-1992	NONE		

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 01/01885

A. KLASSEFIZIERTUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G06F11/20 G06F11/16 G05B19/042

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06F G05B

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 508 910 A (DIEHL ROBERT L) 16. April 1996 (1996-04-16)	1-5, 8, 9, 17-24
A	Spalte 3, Zeile 34 -Spalte 4, Zeile 51 ---	6, 7, 10-16
X	US 4 412 280 A (MURPHY RICHARD D ET AL) 25. Oktober 1983 (1983-10-25) Spalte 2, Zeile 11-38 ---	1, 17
A	US 5 088 021 A (MC LAUGHLIN PAUL F ET AL) 11. Februar 1992 (1992-02-11) Abbildungen 1-3 -----	1, 17

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- Besondere Kategorien von angegebenen Veröffentlichungen :
 - A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
 - E* älteres Dokument, das jedoch erst am oder nach dem Internationalen Anmeldedatum veröffentlicht worden ist
 - L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
 - O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Aussstellung oder andere Maßnahmen bezieht
 - P* Veröffentlichung, die vor dem Internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- * Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- * Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden
- * Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- * Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

Absendedatum des Internationalen Recherchenberichts

27. September 2001

05/10/2001

Name und Postanschrift der Internationalen Recherchenbehörde

Bevollmächtigter Bediensteter

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Huyghe, E

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/DE 01/01885

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5508910	A 16-04-1996	KEINE		
US 4412280	A 25-10-1983	US	4270168 A	26-05-1981
		GB	2030334 A ,B	02-04-1980
		US	4354230 A	12-10-1982
US 5088021	A 11-02-1992	KEINE		